

https://www.j-platpat.inpit.go.jp/



ヘルプデスク
(平日9:00-21:00) 03-3588-2751
helodesk@j-platpat.inpit.go.jp

English | サイトマップ | ヘルプ一覧
独立行政法人
工業所有権情報・研修館

特許・実用新案

意匠

商標

審判

簡易検索

ヘルプ

特許・実用新案、意匠、商標について、キーワードや番号を入力してください。検索対象は [コチラ](#) をご覧ください。
分類・日付等での詳細な検索をされる場合は、メニューから各検索サービスをご利用ください。

☐ 四法全て ☒ 特許・実用新案 ☐ 意匠 ☐ 商標

☒ 自動絞り込み ?

1975-134985

検索

出願番号 ▲	公開番号 ▲	公告番号 ▲	登録番号 ▲
特願昭50-134985	特開昭52-058414	特公昭58-046905	特許1215101

Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

P+NPNsub junction Dynamic Photo Thyristor type Pinned Photodiode
with the built-in vertical overflow drain (VOD) function

PNPN junction Transistor type Pinned Photodiode

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number 1975-134985

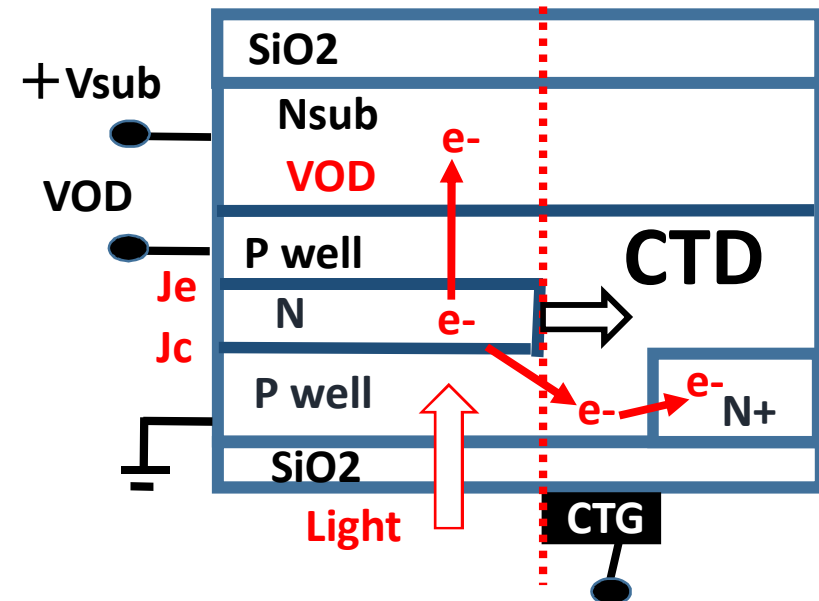
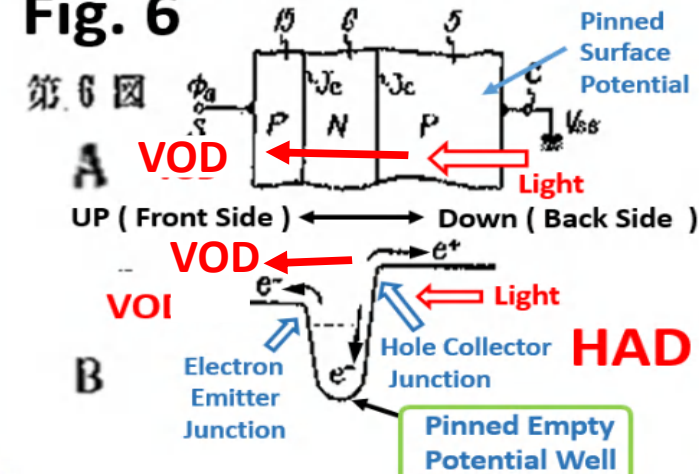
File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

(1)半導体基体 (Nsub) に、第 1 電導型の第 1 半導体領域 (P well) と、(2) 之の上に形成された第2導電型の第2半導体領域 (N) とが形成されて (3)光感知部 (N) と之よりの電荷を転送する電荷転送部 (CTD)とが (4)上記半導体基体 (Nsub) の主面に沿う如く配置されて成る(5)固体撮像装置に於いて、上記光感知部 (N) の上記第2半導体領域 (N)に 整流性接合(Je)が形成され、該接合(Je)をエミッタ接合とし、(6)上記第1 (P well)及び第2半導体領域 (N) 間の接合をコレクタ接合(Jc)とする (PNP)トランジスタを形成し(7) 該トランジスタのベースとなる上記第2半導体領域(N)に光学像に応じた電荷を蓄積しここに蓄積された電荷を上記転送部(CTD)に移行させてその転送を行うようにしたことを特徴とする固体撮像装置。

Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

Fig. 6



PNPN junction Transistor type Pinned Photodiode

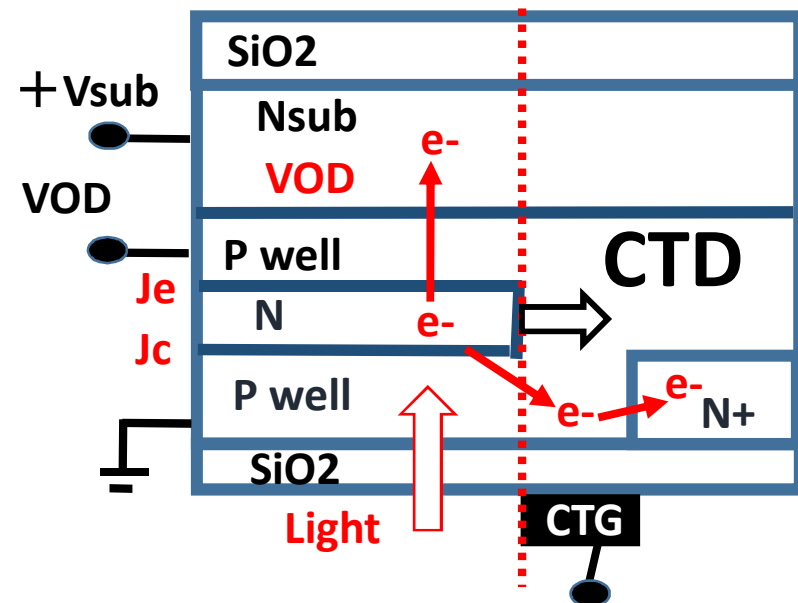
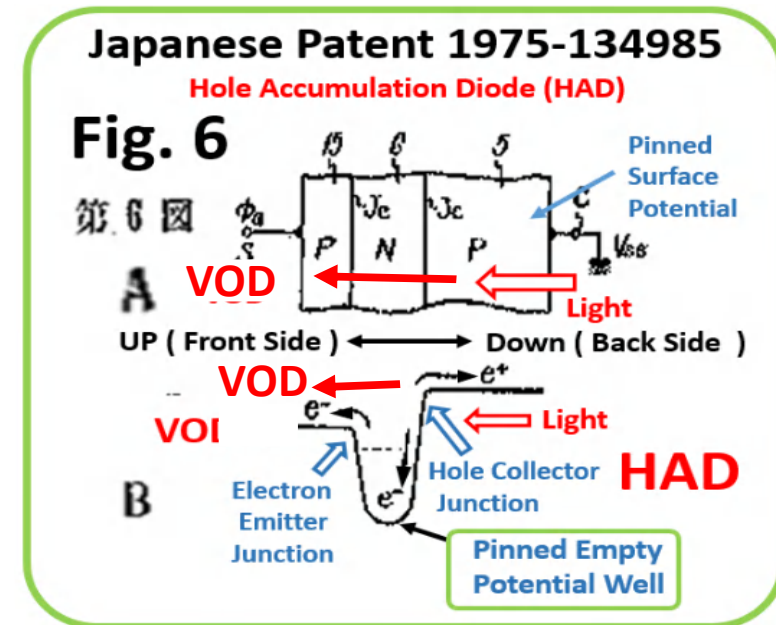
Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

File	1975-134985	Filed	1975/11/10
Public	1975-058414	Public	1977/05/13
		Grant	1983/10/19

Patent Claim in English Translation

(1) In the semiconductor substrate (Nsub), the first region (P well) of the first impurity type is formed, (2) on which, the second region (N) of the second impurity type is formed. (3) The charge (e-) from the light collecting part (N) is transferred to the adjacent charge transfer device (CTD). (4) Both are placed along the main surface of the semiconductor substrate. (5) In the solid state image sensor so defined, a rectifying Emitter junction (Je) is formed on the second region (N) of the light collecting part (N) . And (6) Collector junction (Jc) is formed by the second region (N) and the first region (P well), forming a (PNP) transistor structure, (7) Photo charge is stored in the Base (N) according to illuminated light intensity and transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.

Fig.6 shows that this is also the invention of the in pixel VOD (vertical overflow drain).

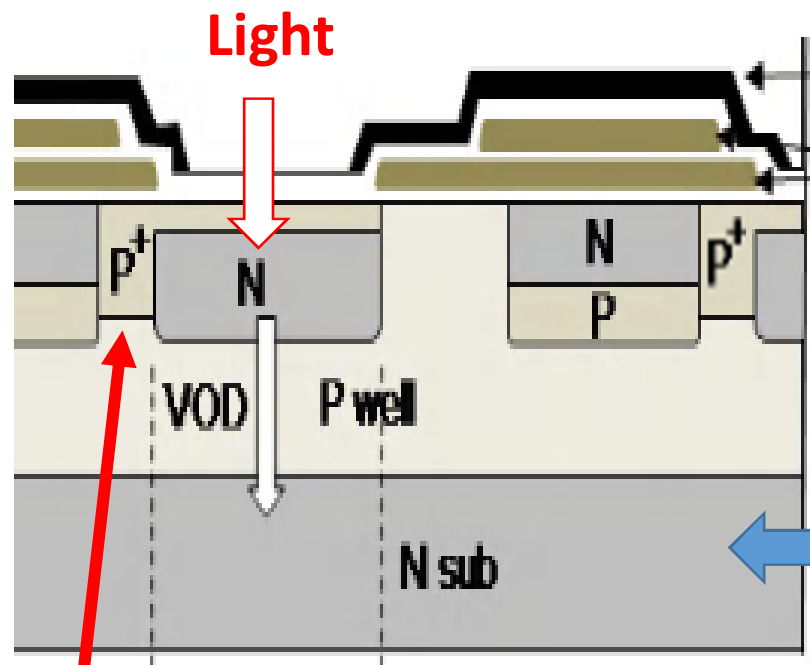


Definition of Pinned Photodiode

Surface Potential must be directly Pinned by the adjacent channel stop P+ region.
Otherwise the surface P+ region becomes floating by the RC delay time.
Though the surface P+ region can be connected by remote P+ channel stops, however, it will still have the RC delay time and will be floating and NOT pinned.

Hole Accumulation Diode (HAD)

Definition of Sony HAD (PPD+VOD)

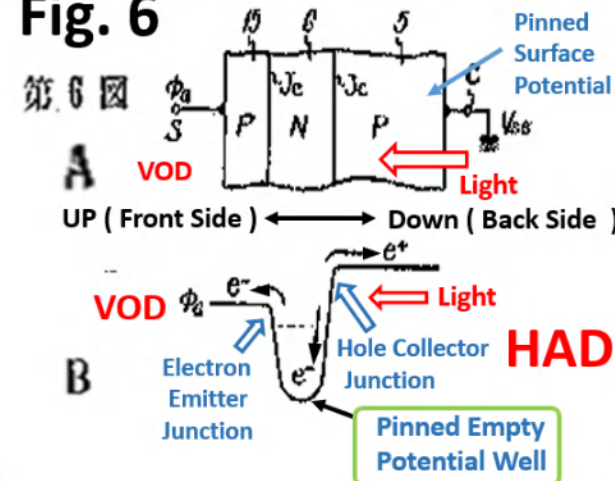


Pinned Photodiode must have the adjacent P+ channel Stops.

Japanese Patent 1975-134985

Hole Accumulation Diode (HAD)

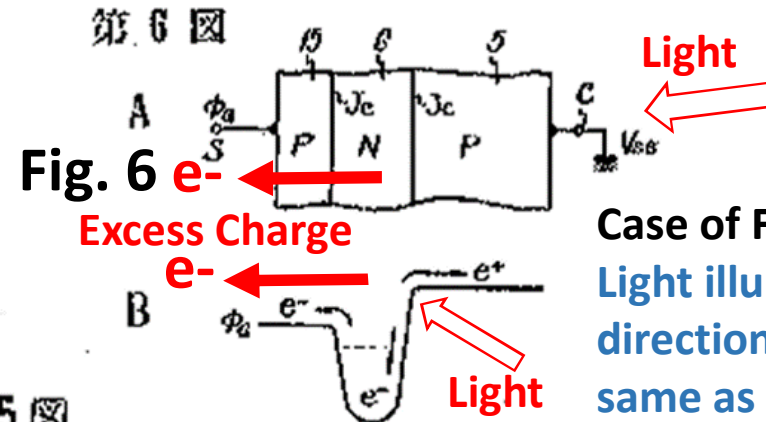
Fig. 6



Japanese Patent 1975-134985 defines the P+NP junction type dynamic photo transistor on the substrate (Nsub).

Japanese Patent 1975-134985 by Hagiwara at Sony on Oct 23, 1975.

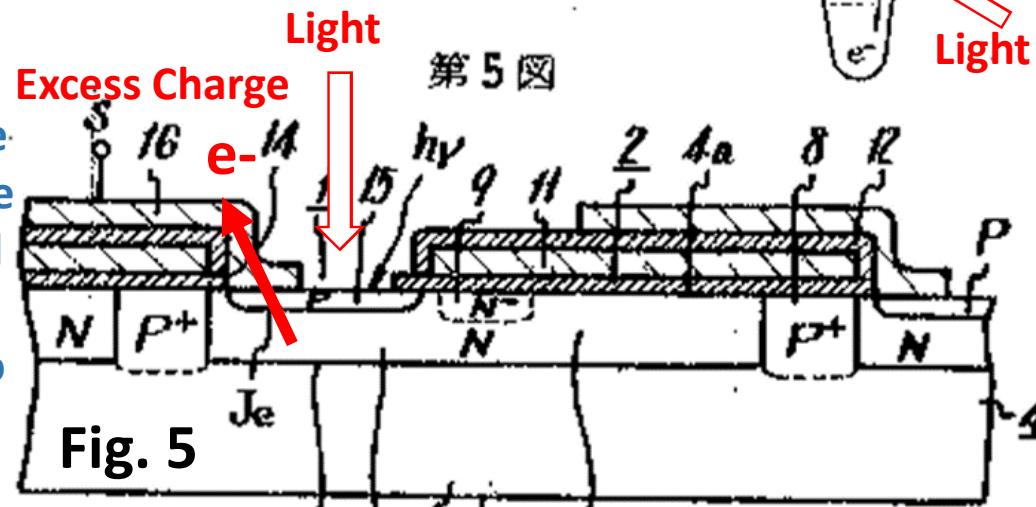
①特 願 昭50-134985
②出 願 昭50(1975)11月10日
③公 開 昭52-58414
④昭52(1977)5月13日
⑤発 明 者 萩原 良昭



Case of Fig. 6
Light illumination direction is the same as the excess charge flow.
VOD is formed so that the
Excess Charge
is drained to the
Silicon Substrate.

Case of Fig. 5

Light illumination direction is opposite of the excess charge flow. VOD is formed so that the excess charge is drained to the **Silicon Surface**.



In case of Fig. 5, the P+NP junction type Pinned Photodiode with the surface P+ hole accumulation layer that has a fixed or Pinned surface potential by the external metal Ohmic contact. The Excess charge flow is toward the silicon surface in this case.

Light illumination direction is **the opposite** as the excess charge flow in case of Fig. 5.

In case of Fig. 6, Light illumination direction is **the same** as the excess charge flow. The VOD is formed so that the excess charge is drained to the silicon substrate.

Visit <https://www.j-platpat.inpit.go.jp/> and put the patent number **1975-134985**

⑬ 日本国特許庁 (JP) ⑭ 特許出願公告

⑫ 特 許 公 報 (B 2) 昭58-46905

⑮ Int.Cl.³ 識別記号 庁内整理番号 ⑯公告 昭和58年(1983)10月19日
 H 04 N 5/30 6940-5C
 H 01 L 27/14 6819-5F 発明の数 1

(全 4 頁)

1

2

⑰ 固体撮像装置

⑱ 特 願 昭50-134985
 ⑲ 出 願 昭50(1975)11月10日
 ⑳ 公 開 昭52-58414
 ㉑ 昭52(1977) 5 月13日
 ㉒ 発 明 者 萩原 良昭
 横浜市保土ヶ谷区狩場町 303 の
 159 狩場台アパート 402 号室
 ㉓ 出 願 人 ソニー株式会社
 東京都品川区北品川 6 丁目 7 番35
 号
 ㉔ 代 理 人 弁理士 伊藤 貞

㉕ 特許請求の範囲

像装置は、第 1 図に示すように、夫々絵素となる
 光感知部 (センサー部) 1 が行 (水平) 及び列
 (垂直) 方向に夫々複数個配列され、共通の列上
 の光感知部 1 に関し、共通の垂直シフトレジスタ
 5 2 が設けられている。この垂直シフトレジスタ 2
 は CCD よりなり、その電荷転送部が、対応する
 列上の光感知部 1 に夫々隣合つて設けられる。又、
 各シフトレジスタ 2 の一端 (第 1 図に於いて下端)
 には水平シフトレジスタ 3 が設けられ、撮像光学
 10 像に応じて各光感知部 1 に生じた電荷を、例えば
 テレビジョン映像に於いては、その帰線消去期間
 に於いて垂直シフトレジスタ 2 の各転送部に転送
 し、このシフトレジスタ 2 によつてこの電荷を垂
 直方向に順次シフトして水平シフトレジスタ 3 に
 15 転送し、更にこの水平シフトレジスタによつて各

⑤特許請求の範囲

1 半導体基体に、第1導電型の第1半導体領域と、之の上に形成された第2導電型の第2半導体領域とが形成されて光感知部と之よりの電荷を転送する電荷転送部とが上記半導体基体の主面に沿う如く配置されて成る固体撮像装置に於いて、上記光感知部の上記第2半導体領域に整流性接合が形成され、該接合をエミツタ接合とし、上記第1及び第2半導体領域間の接合をコレクタ接合とするトランジスタを形成し、該トランジスタのベースとなる上記第2半導体領域に光学像に応じた電荷を蓄積し、ここに蓄積された電荷を上記転送部に移行させて、その転送を行うようにしたことを特徴とする固体撮像装置。

発明の詳細な説明

本発明は電荷転送素子(CCD)、特に埋込みチャンネル型CCDを用いた固体撮像装置に係わる。

CCDを用いた固体撮像装置としてはフレームトランスファ方式によるもの、或いはインターライトランスファ方式によるものが提案されている。

インターライトランスファ方式による固体撮

15 転送し、更にこの水平シフトレジスタによつて各行の絵素に関する電荷を水平方向にシフトして出力端子よりこの電荷に応じた撮像信号を得るようになされている。

このような構成による固体撮像装置の光感知部1とこれに隣合う垂直シフトレジスタ2の転送部の構造を第2図及び第3図に示す。この例に於いては埋込みチャンネル型CCD構成とした場合で、この場合、半導体基体4に、第1の導電型例えばP型半導体領域5と、これの上に基体4の一主面4aに臨んで第2の導電型例えばN型の半導体領域6とが設けられ、主面4aに沿つて光感知部1とこれに隣合つてシフトレジスタ2の各転送部7が設けられてなる。8は領域5と同導電型のチャンネルストツパー領域で、各感知部1間、及び各シフトレジスタ2間を互に分離するものであり、9は領域6と同導電型を有するもこれより低い不純物濃度を有し、光感知部1とこれに隣合うシフトレジスタ2との間に設けられて両者間に電位障壁を形成する為の領域である。

35 光感知部1及び転送部7上の、主面4a上には例えばSiO₂より成る絶縁膜10が被着される。そして、これの上に各シフトレジスタ2に対し、

(2)

特公 昭58-46905

3

4

その共通の行上の転送部に関して共通に転送電極 11 が延長被着され、この電極 11 上には同様に例えば SiO_2 より成る絶縁膜 12 が被着され、これの上に跨いで特に光感知部 1 上を含んでいわゆるセンサー電極 13 が被着される。この電極 13 は光透過性を有するネサ、或いは不純物が高濃度をもつてドーブされて導電性が付与された多結晶シリコン層より構成される。

このような構成による固体撮像装置の光感知部 1 に対する光は少なくとも電極 13 とこれの下

の絶縁膜 10 を通じて与えるので、特に短波長側における感度が低くなる欠点がある。

本発明は上述した欠点を改善した固体撮像装置を提供せんとするものである。

第 4 図及び第 5 図を参照して本発明を説明する。之等第 4 図、第 5 図に於いて、第 2 図及び第 3 図と対応する部分には同一符号を付して重複説明を省略する。

本発明に於いては、光感知部 1 上の少なくとも受光領域上の絶縁膜 10 及び 12 を除去し、窓 14 を形成すると共に、光感知部 1 の半導体領域 6 上に主面 4 a に臨んで整流性接合 J_e を形成する。この接合 J_e は例えば第 4 図に示す如く領域 6 と異なる導電型即ち P 型の不純物がドーブされた多結晶シリコン層より成る領域 15 を窓 14 を

固定電位、即ち例えば接地電位を与える。一方、受光期間即ちシフトレジスタ 2 に於ける転送期間中にエミッタ領域 15 即ちセンサー電極 16 の端子 S には、接合 J_e に逆バイアスを与える所定の負の電位 ϕ_g を与える。

斯くすると第 6 図 A に示す PNP トランジスタの断面に於ける電位分布は、第 6 図 B に示す如くなり、撮像光学像による光照射によつて生じたキャリア即ちホール及び電子のうちホール e^+ は端子 C 側に流れて消滅するが、電子 e^- はベース領域 6 に蓄積される。この場合、或る量以上の電荷 e^- が蓄積されると接合 J_e が順バイアスとなり、この或る量以上の電荷即ち電子はエミッタ側にオーバーフローする。

そして、この光感知部 1 のベース領域 6 に蓄積された電荷を例えば帰線消去期間に於いてシフトレジスタ 2 の転送部 7 に転送する。この転送は、通常の如くセンサー電極 16 に対し転送電極 11 に所要の負の電位を与えることによつて転送部 7 にポテンシャル井戸を形成してその転送を行う。その後はこのシフトレジスタ 2 に於いて第 1 図に説明したように各転送部 7 の電荷を垂直方向に順次シフトさせる。このシフトは通常の如く転送電極 11 にクロック電圧を与えて行う。そしてこの間、即ち転送期間中に前述したと同様に撮像光学

た多結晶シリコン層より成る領域15を窓14を通じて光感知部1の半導体層6上に被着生成させてPN接合を形成するようになすこともできるし、或いは第5図に示す如く光感知部1の半導体領域6上に選択的に領域6と異なる導電型の不純物を例えばイオン注入法或いは拡散法によつてドーブし、P型の領域15を形成して接合J_eを形成するようになすこともできる。第5図に於いて16は領域15の一部にオーミツクに被着した電極即ちセンサー電極で、第4図の例では領域15自体をいわばセンサー電極とした場合である。

斯くして光感知部1に、接合J_eをエミッタ接合とし、半導体領域5及び6間に形成されるPN接合J_cをコレクタ接合とするトランジスタ、即ち領域15、6及び5を夫々エミッタ、ベース及びコレクタの各領域とするPNPトランジスタを構成する。

このような構成に於いて、半導体領域5即ちシフトレジスタ2の基体領域となり前述のトランジスタのコレクタ領域となる領域5の端子Cに正の

25 間、即ち転送期間中に前述したと同様に撮像光学像による受光をなす。

上述の本発明装置によれば、その光感知部1を構成するトランジスタのエミッタ領域15に於いて直接的に受光がなされるようになしたので、冒頭に述べたようにセンサー電極を構成する多結晶シリコンを通じて更にその下の絶縁膜を介して受光をなす場合の感度に比し特に短波長側の感度の向上を図ることができるものである。

更に本発明装置によれば、或る以上に生じた電荷をオーバーフローし得るものであるから従来のもののようにオーバーフロードレインを特設する必要がなく、更にセンサー電極に与える電位によつてオーバーフローの生じ始める電荷量を調整設定できる利益もある。

40 尚、接合J_eとしては種々の構成をとり得、ヘテロ接合、ショットキー障壁による構成をとることもできる。又、各部の導電型を図示とは逆導電型とするなど種々の変更をなし得ることは明らかであろう。

(3)

特公 昭58-46905

5

6

図面の簡単な説明

第1図は本発明の説明に供する固体撮像装置の構成図、第2図はその要部の拡大平面図、第3図はそのA-A線上断面図、第4図は本発明装置の一例の要部の拡大断面図、第5図は本発明装置の他の例の要部の拡大断面図、第6図は本発明装置

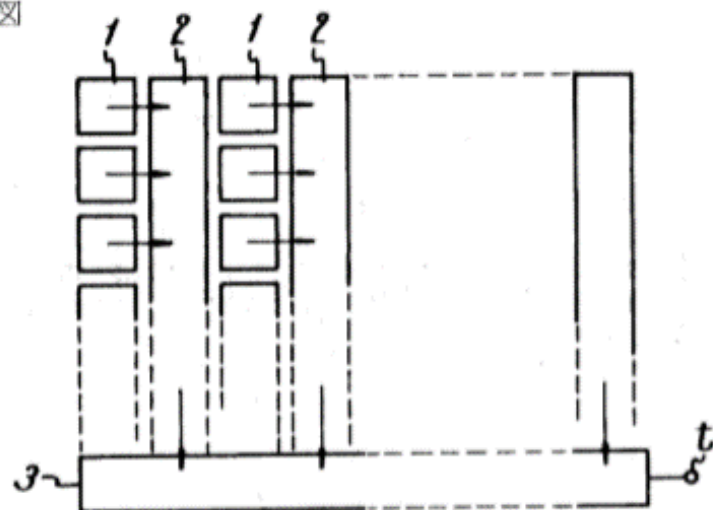
の動作の説明図である。

4は半導体基体、1は光感知部、2はシフトレジスタ、5及び6は半導体領域、8はチャンネルストップパー領域、9は障壁領域、15はエミッタ領域、16はセンサー電極、Jc及びJeは接合である。

Fig.1 Top View of Conventional Interline Transfer CCD Image Sensor

Fig.2 Top View of Conventional Interline Transfer CCD Image Sensor Picture Element Cell

第1図



第2図

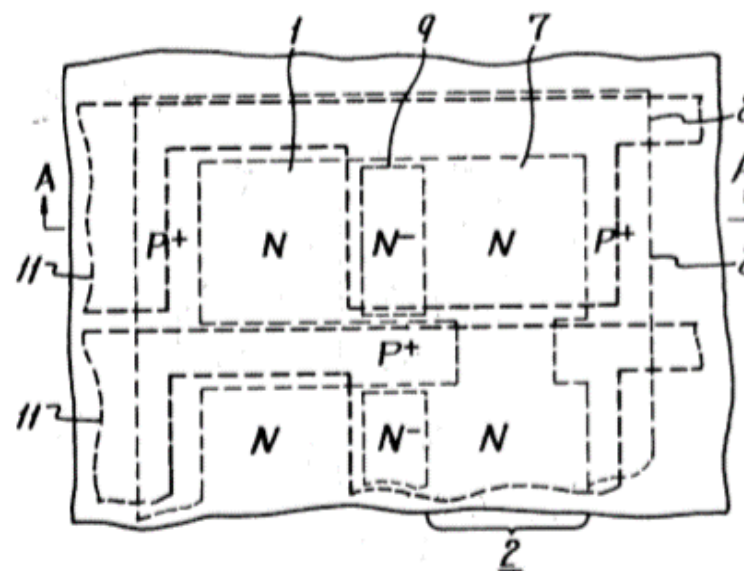


Fig.3 Conventional Buried Channel CCD type MOS Capacitor type Photodiode Structure

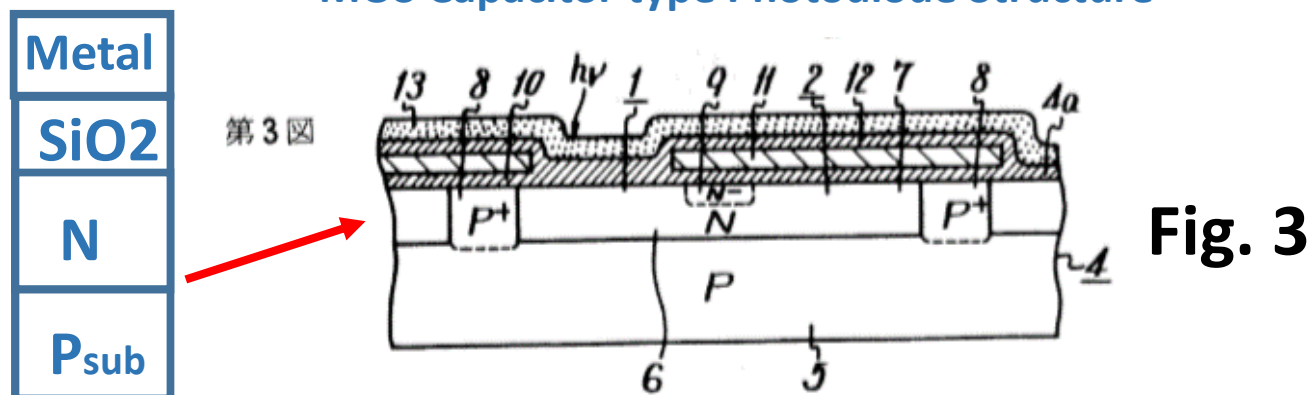


Fig.4 Surface VOD type Schottky Barrier type Photodiode

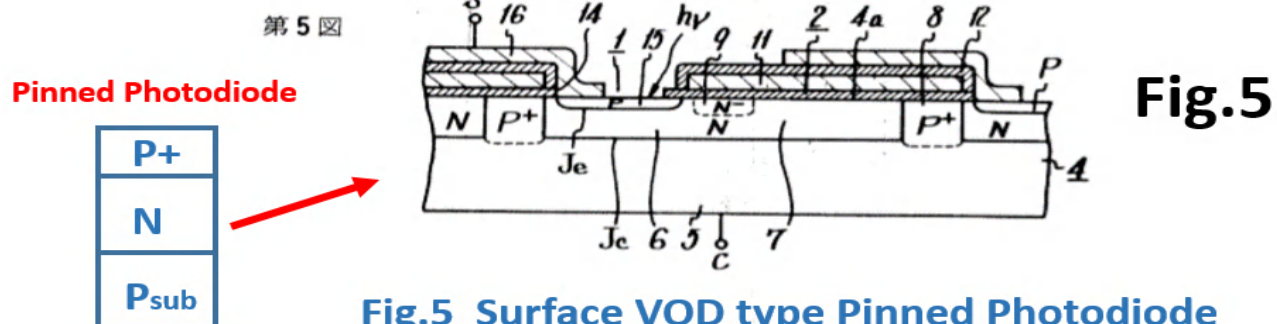
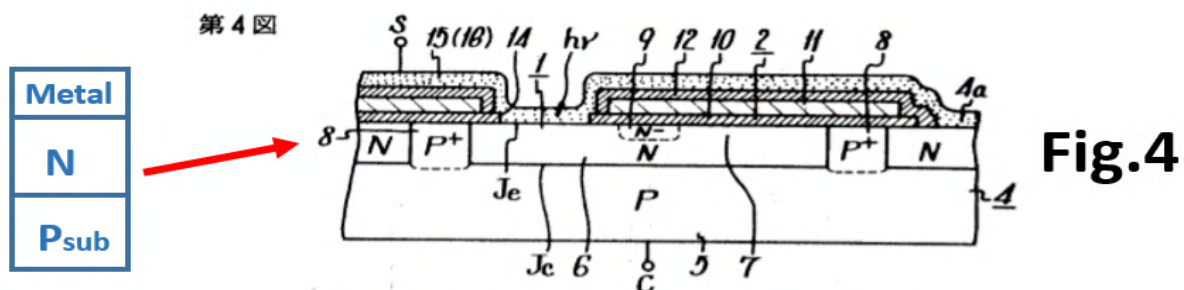


Fig.5 Surface VOD type Pinned Photodiode

図面の簡単な説明

第1図は本発明の説明に供する固体撮像装置の構成図、第2図はその要部の拡大平面図、第3図はそのA-A線上断面図、第4図は本発明装置の一例の要部の拡大断面図、第5図は本発明装置の他の例の要部の拡大断面図、第6図は本発明装置の動作の説明図である。

電荷転送部（CTD）が形成される面を主面と呼ぶ。図(6)は受光面は主面側でも裏面側でも特許請求範囲に入る。主面がシリコンウェハ上部でも下部裏面でも特許請求範囲に入る。

図(6)はより一般に適応される。

第4図は本発明装置の一例の要部の拡大断面図、第5図は本発明装置の他の例の要部の拡大断面図、第6図は本発明装置の動作の説明図である。

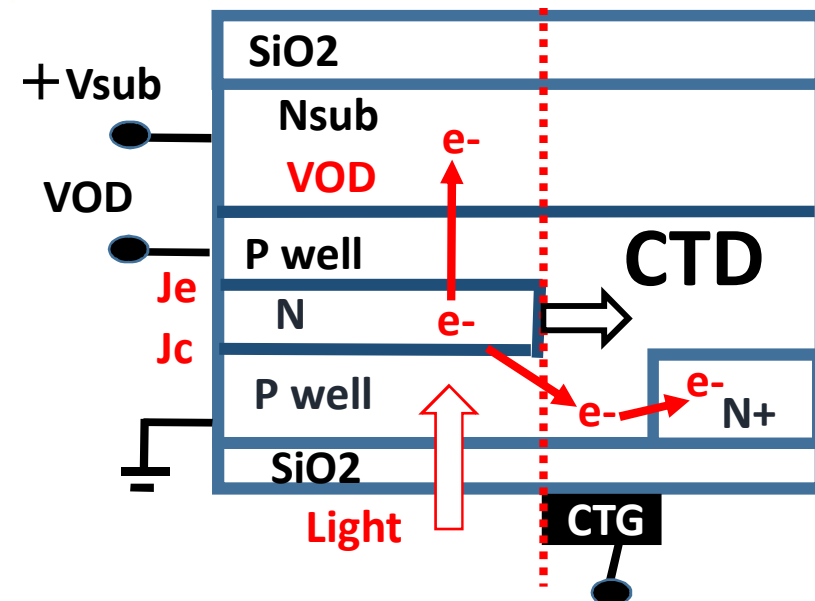
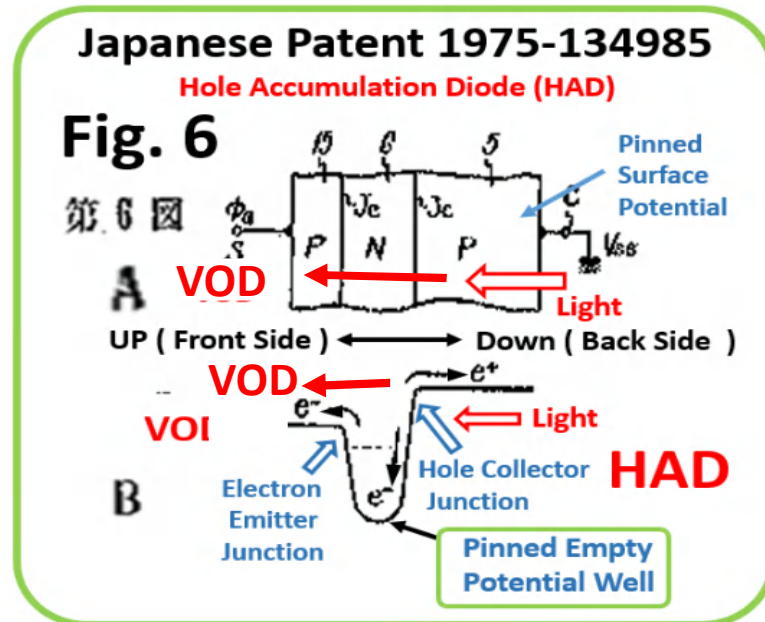


Fig.6 shows that this is also the invention of in pixel VOD (vertical overflow drain).

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

Pinned Photodiode Patent 1975

Japanese Patent of SONY HAD sensor

by Yoshiaki Hagiwara at Sony

See Patent 1975-134985 (November 10, 1975)

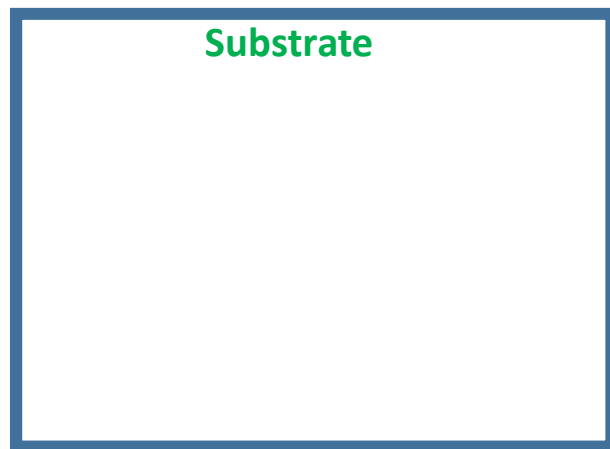
Sony Original
HAD Sensor
Japanese Patent

Hole Accumulation Diode (HAD)

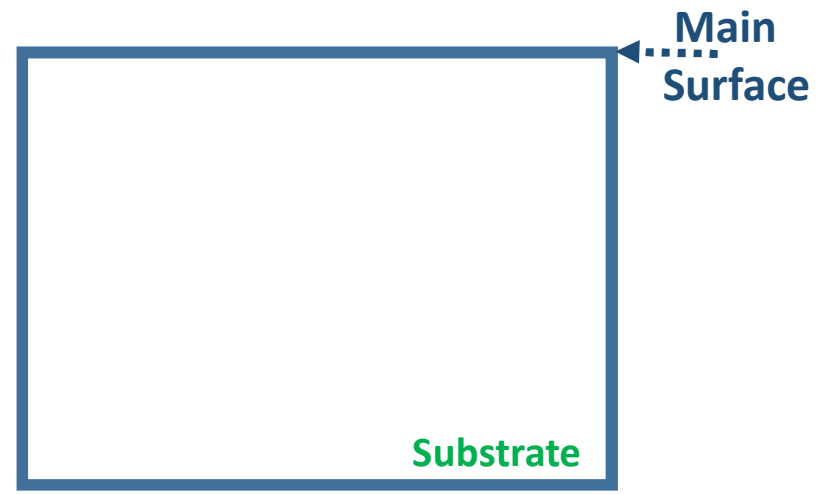
Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(1) In the semiconductor substrate (Nsub),



Case(1) Front Light Illumination



Case(2) Back Light Illumination

Pinned Photodiode Patent 1975

Japanese Patent of SONY HAD sensor

by Yoshiaki Hagiwara at Sony

See Patent 1975-134985 (November 10, 1975)

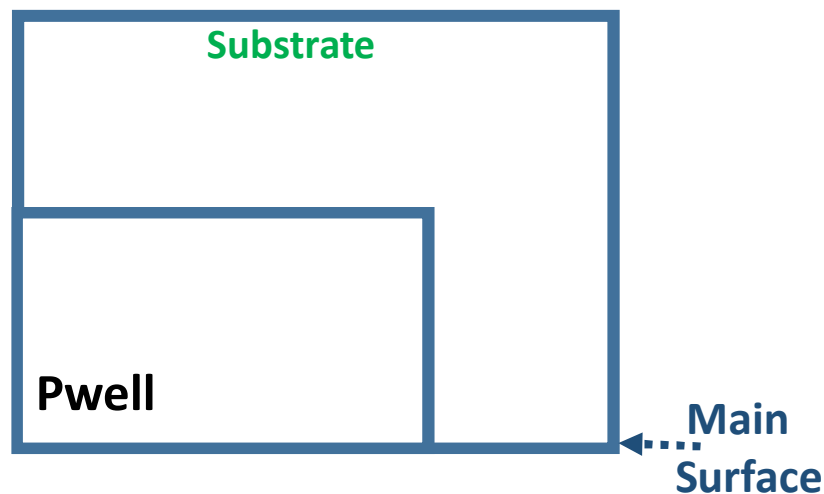
Sony Original
HAD Sensor
Japanese Patent

Hole Accumulation Diode (HAD)

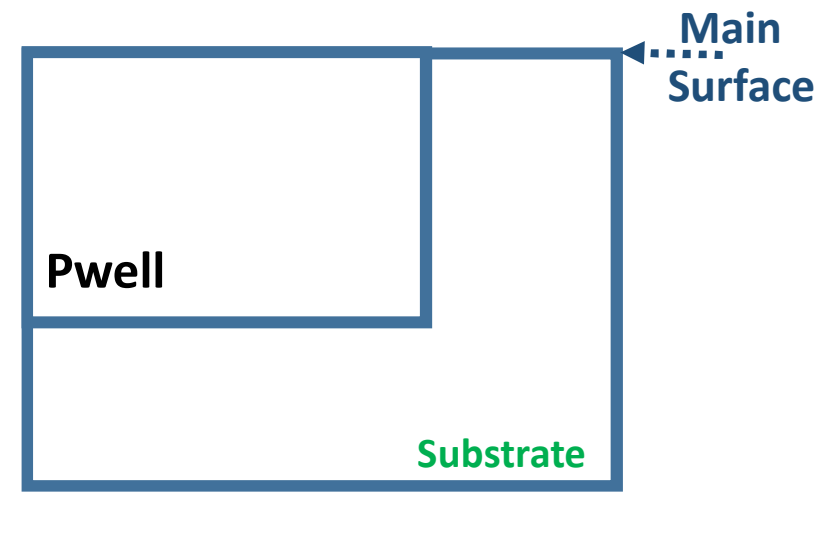
Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(1) In the semiconductor substrate (Nsub),
the first region(Pwell) of the first impurity
type is formed,



Case(1) Front Light Illumination



Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

Pinned Photodiode Patent 1975

Japanese Patent of SONY HAD sensor
by Yoshiaki Hagiwara at Sony

Sony Original
HAD Sensor
Japanese Patent

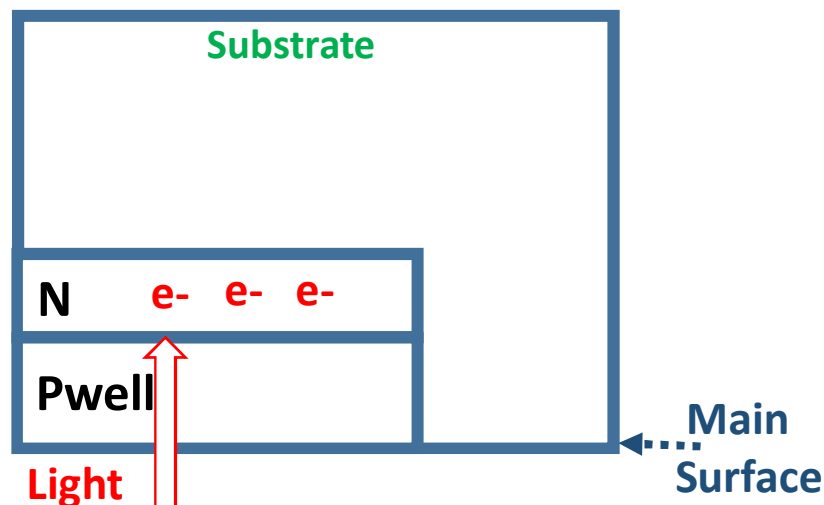
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

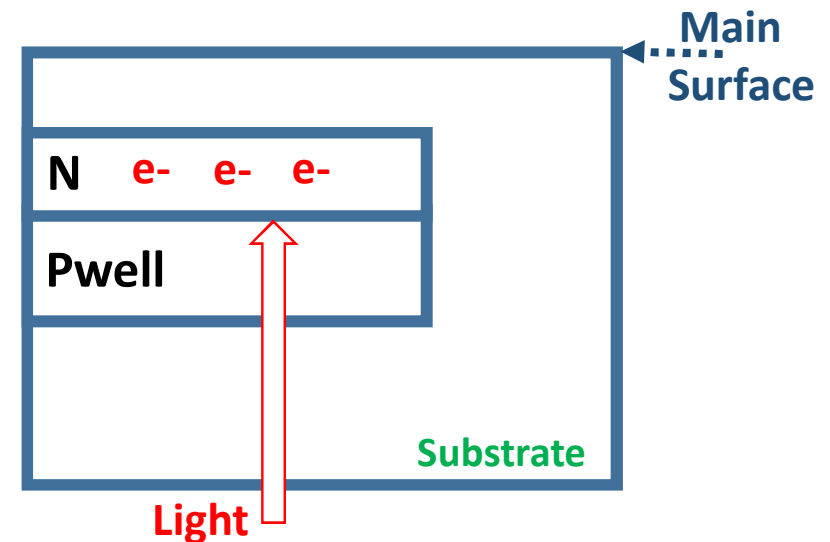
Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(2) on which, the second region (N)
of the second impurity type is formed.



Case(1) Front Light Illumination



Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

Pinned Photodiode Patent 1975

Japanese Patent of SONY HAD sensor
by Yoshiaki Hagiwara at Sony

Sony Original
HAD Sensor
Japanese Patent

See Patent 1975-134985 (November 10, 1975)

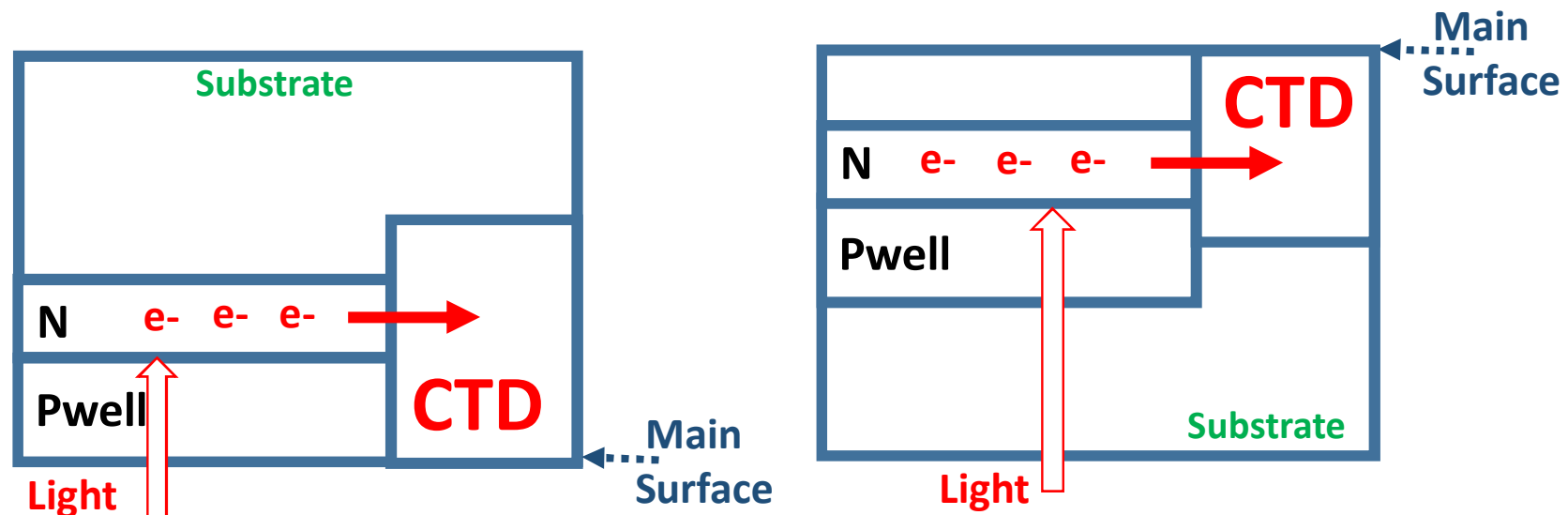
Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(3) The charge (e-) from the light collecting part (N/Pwell Junction) is transferred to the adjacent charge transfer device (CTD).

(4) Both are placed along the main surface of the semiconductor substrate.



Case(1) Front Light Illumination

Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

Pinned Photodiode Patent 1975

Japanese Patent of SONY HAD sensor
by Yoshiaki Hagiwara at Sony

Sony Original
HAD Sensor
Japanese Patent

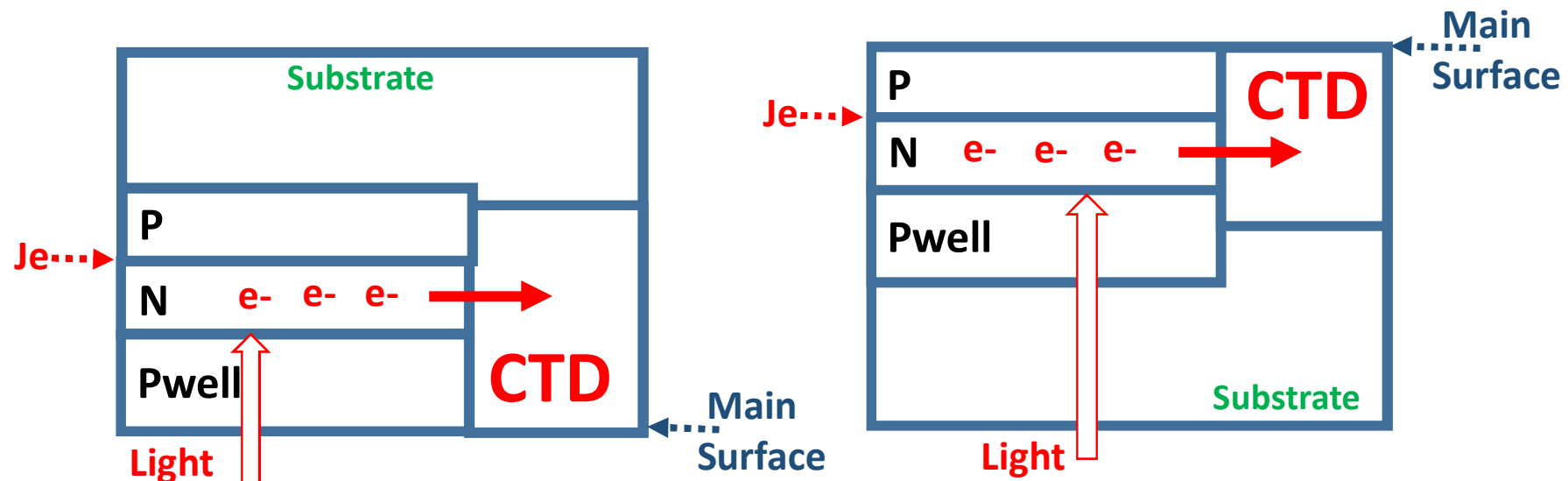
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(5) In the solid state image sensor so defined,
a rectifying Emitter junction (Je) is formed on
the second region (N) of the light collecting part (N/Pwell) ,



Case(1) Front Light Illumination

Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

Pinned Photodiode Patent 1975

Japanese Patent of SONY HAD sensor
by Yoshiaki Hagiwara at Sony

Sony Original
HAD Sensor
Japanese Patent

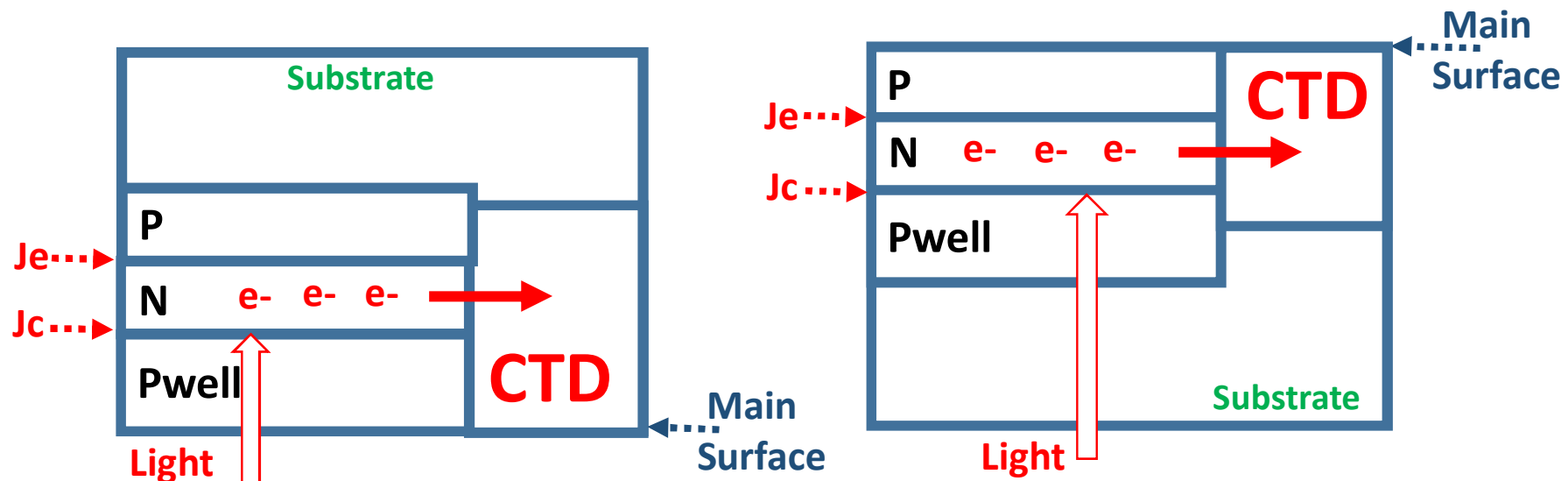
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(6) forming a P+NP Junction type transistor structure
with the N/Pwell junction as Collector junction (Jc).



Case(1) Front Light Illumination

Case(2) Back Light Illumination

Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985

Pinned Photodiode Patent 1975

Japanese Patent of SONY HAD sensor
by Yoshiaki Hagiwara at Sony

Sony Original
HAD Sensor
Japanese Patent

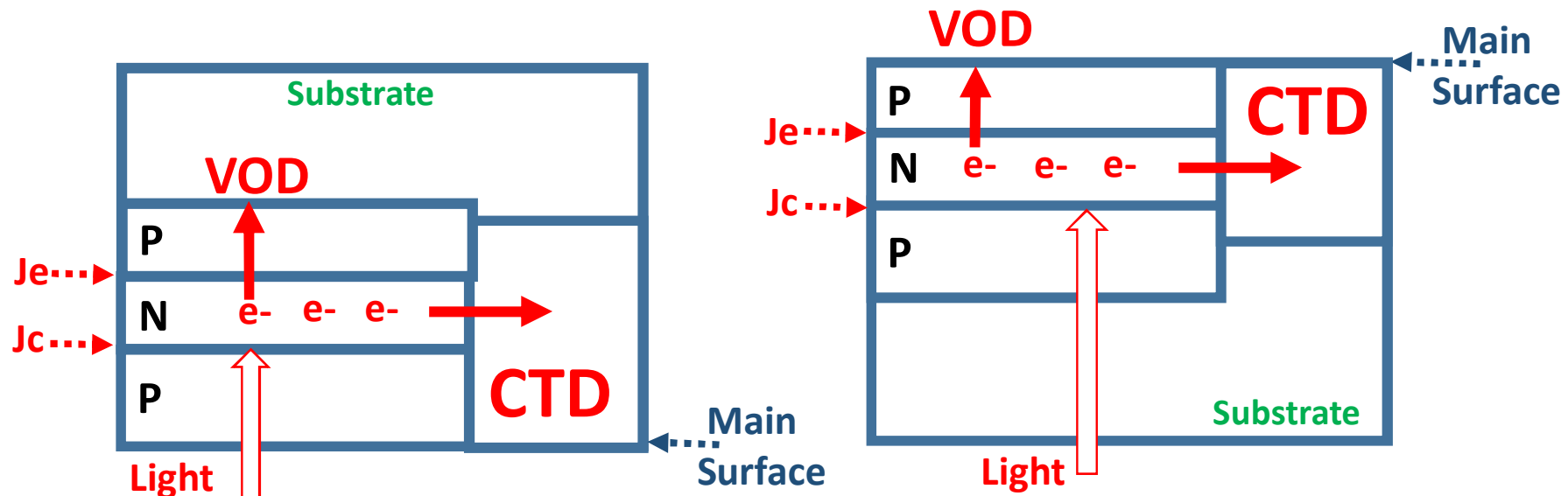
See Patent 1975-134985 (November 10, 1975)

Hole Accumulation Diode (HAD)

Patent Claims

Built-in Vertical Overflow Drain (VOD) Function

(7) The charge, stored in the Base region (N) according to the illuminated light intensity, is transferred to the adjacent CTD. The solid state image sensor so defined is in the scope of this patent claim.



Visit <https://www.j-platpat.inpit.go.jp/> and type Japanese Patent Number 1975-134985